

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kazuhiro HASHIMOTO

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: CIRCUIT, SYSTEM, AND METHOD FOR DATA TRANSFER CONTROL FOR ENHANCING DATA BUS UTILIZATION



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	11-266299	September 20, 1999

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

609  
U.S. PTO  
09/664856  
09/19/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

1999年 9月20日

出願番号  
Application Number:

平成11年特許願第266299号

出願人  
Applicant(s):

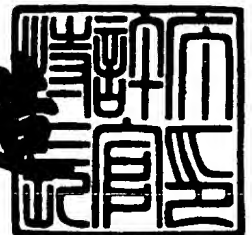
株式会社東芝

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 8月11日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 4HA993100

【提出日】 平成11年 9月20日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 9/00

【発明の名称】 情報処理システム

【請求項の数】 1

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
                                 マイクロエレクトロニクスセンター内

    【氏名】 橋本 和宏

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100083806

    【弁理士】

    【氏名又は名称】 三好 秀和

    【電話番号】 03-3504-3075

【選任した代理人】

    【識別番号】 100068342

    【弁理士】

    【氏名又は名称】 三好 保男

【選任した代理人】

    【識別番号】 100100712

    【弁理士】

    【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

    【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理システム

【特許請求の範囲】

【請求項 1】 周辺装置と接続され、それぞれ独立してデータ転送が可能な複数の単位データバスからなるデータバスと、

前記データバスの使用権を単位データバス単位で要求し、該要求が許可されると要求した前記データバスの使用権をとり得る複数のバスマスタと、

前記バスマスタから前記データバスの単位データバス単位での使用権の要求又は使用権の解除を受けて、前記データバスの単位データバス単位での使用状態に応じて前記データバスの使用権の要求に対して前記データバスの単位データバス単位で使用が可能か否かを判別し、使用が可能な場合には単位データバス単位で要求された前記データバスの使用権の許可を前記バスマスタに与えるよう前記データバスを単位データバス単位で前記複数のバスマスタに対して分割制御するバス制御手段と

を有することを特徴とする情報処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の単位データバスからなるデータバスを介してデータ転送を行う複数のバスマスタを備えた情報処理システムに関し、データバスを単位データバス単位で分割制御する情報処理システムに関する。

【0002】

【従来の技術】

従来、この種の情報処理システムとしては、例えば図 5 に示す構成のものがある。図 5 において、このシステムは、バスマスタとなる中央演算処理装置（CPU）101 とダイレクト・メモリ・アクセス・コントローラ（DMAC）102 と、メモリ 103 ならびに周辺装置 104 を備え、これらはデータバス 105、アドレスバス 106 を介して接続されている。このようなシステムにおいて、ポーリング処理におけるデータバス 105 のバスアービトレーションの方式として

は、DMAC102からのバス権要求信号であるreq信号と、バス権移動の許可信号であるgnt信号を使用し、バス権の制御を行なう。DMAC102のバス権要求信号(req信号)に対して、CPU101がデータバス105を解放できる場合には、gnt信号をDMAC102へ出力し、バス権をCPU101からDMAC102へ移動する。バス権をCPU101に戻す場合には、gnt信号をインアクティブにし、CPU101がバス権を取得する。

#### 【0003】

このようなバスアービトラーション方式を採用しているシステムにおけるDMA転送中のポーリング処理においては、DMAC102のDMA転送中に、CPU101からのI/Oアクセスを頻繁に発生させることとなる。図6には、このようなシステムのDMA転送中におけるポーリング処理のタイミングと、4つの単位データバス（単位データバスは例えば8、16、32ビット等のデータ幅を有する）からなるデータバスの占有状態の一例を示している。図7ではreq信号、gnt信号をロウアクティブな信号として表示している。

#### 【0004】

このようなポーリング処理におけるI/Oアクセスにおいては、1バイトや1ワードといったものが通常用いられる。近年のシステムにおいては、バス幅が128ビットのものも珍しくなくなっており、ポーリング処理におけるI/Oアクセスが発生している間は、DMA転送が中断されることとなる。転送データが1バイトの場合には、バス幅が128ビットであれば、バスの6%しか使用しておらず、1ワードの場合でさえ25%しか使用していないこととなり、データ転送効率を落す結果となっている。また、データバスのバンド幅が大きくなるにつれ、データバスの使用効率は更に下がることになる。同様に、CPUと周辺装置との動作速度が異なる場合には、ポーリング処理時に行われているI/Oアクセスのレイテンシも大きくなるため、ポーリング処理のI/Oアクセスがデータバスを占有する期間も増大し、データバスの使用効率を下げることとなる。

#### 【0005】

一方、上記情報処理システムの他の構成としては、例えば図7に示すものがある。図7において、このシステムは、バスマスタとなる中央演算処理装置(CP

U) 107とダイレクト・メモリ・アクセス・コントローラ (DMAC) 108と、メモリ103ならびに周辺装置104を備え、これらはデータバス105、アドレスバス106を介して接続されている。このようなシステムにおいて、データバス105のバスアービトレーション方式としては、DMAC108からのバス権要求信号である *req* 信号と、バス権移動の許可信号である *gnt* 信号と、DMA転送中にCPU107がバス権を一時的に取得するためのCPU107からのバス開放要求信号である *rel* 信号とで、バス権の調停を行なう。

#### 【0006】

このようなバスアービトレーション方式を採用しているシステムにおいては、CPU107からのバスの開放要求信号がアサートされても、DMA転送の区切りまでデータバス105を開放することができないため、CPU107がストールする場合が発生する。図8では、このような例として、DMA転送中にポーリング処理のI/Oアクセスが割り込む場合のタイミング、及びデータバス105の占有状態の一例を示している。図8の *req* 信号、*gnt* 信号、*rel* 信号はそれぞれロウアクティブな信号として表示している。図8において、CPU107がポーリング処理のためのI/Oアクセスを行うために、DMAC108に対してデータバス105の開放要求信号 (*rel* 信号) をアサートするが、DMA転送の処理の一区切りまでDMAC108がデータバス105を開放しないため、その間CPU107がストールすることを示している。

#### 【0007】

##### 【発明が解決しようとする課題】

以上説明したように、複数のバスマスタがデータバスを介してデータ転送を行う従来の情報処理システムにおいては、DMAのデータ転送中にCPUのポーリング処理におけるI/Oアクセスが発生した場合には、I/Oアクセスがデータバスの一部しか使用せず、あるいはDMAのデータ転送が一区切りするまでデータバスが解放されないため、データバスの使用効率が低下したり、CPUがストールするといった不具合を招いていた。

#### 【0008】

そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところ

ろは、複数のバスマスタに対してデータバスを分割して制御し、データバスの使用効率を改善した情報処理システムを提供することにある。

【0009】

【課題を解決するための手段】

上記目的を達成するために、課題を解決する手段は、周辺装置と接続され、それぞれ独立してデータ転送が可能な複数の単位データバスからなるデータバスと、前記データバスの使用権を単位データバス単位で要求し、該要求が許可されると要求した前記データバスの使用権をとり得る複数のバスマスタと、前記バスマスタから前記データバスの単位データバス単位での使用権の要求又は使用権の解除を受けて、前記データバスの単位データバス単位での使用状態に応じて前記データバスの使用権の要求に対して前記データバスの単位データバス単位で使用が可能か否かを判別し、使用が可能な場合には単位データバス単位で要求された前記データバスの使用権の許可を前記バスマスタに与えるよう前記データバスを単位データバス単位で前記複数のバスマスタに対して分割制御するバス制御手段とを有することを特徴とする。

【0010】

【発明の実施の形態】

以下、図面を用いてこの発明の実施形態を説明する。

【0011】

図1はこの発明の一実施形態に係る情報処理システムの構成を示す図であり、図2は図1に示すシステムの動作タイミングならびにデータバスの使用権の状態を示す図である。

【0012】

図1において、この実施形態の情報処理システムは、バスマスタとなるCPU 1ならびにダイレクト・メモリ・アクセス・コントローラ(DMAC) 2と、CPU 1ならびにDMAC 2におけるデータバス4の分割使用を制御するバスコントローラ3と、4つの単位データバス(単位データバスは例えば8、16、32ビット等のデータ幅を有する)からなり、それぞれの単位データバスがそれぞれ独立してデータ転送制御可能なデータバス4と、データバス4ならびにアドレス



バス5を介してCPU1ならびにDMAC2と接続されたメモリ6、周辺装置（I/O）7、8を備えて構成される。

#### 【0013】

CPU1は、DMAデータ転送中にCPU1がバス権を一時的に取得するためのバス解放要求信号（rel信号[3:0]）をDMAC2とバスコントローラ3に与え、I/Oアクセスの終了を示すアクノリッジ信号（ack信号）をバスコントローラ3に与える。DMAC2は、DMAデータ転送のバスリクエスト信号（req信号[3:0]）をバスコントローラに与え、DMAC2が使用するI/Oを選択する信号（sel信号[1:0]）をI/O7、8に与える。バスコントローラ3は、DMAC2に対してデータバス4の使用権の許可を示すバスグラント信号（gnt信号）をDMAC2に与える。上記信号のやりとりを行うことにより、CPU1ならびにDMAC2に対するデータバス4の分割制御を行う。

#### 【0014】

次に、データバス4の分割制御の一例を、図2の動作タイミングチャートを参照して説明する。

#### 【0015】

先ず、図2のクロック1の前には、データバス4のすべての単位データバスを使用してDMAデータ転送が行われており、このような状態において、図2のサイクル（クロック）1ではCPU1がバスアクセス要求を出すために、アクセスする該当データバスのrel信号をアサートし、バスコントローラ3はrel信号よりgnt信号をインアクティブにする。図2のクロック2では、gnt信号のインアクティブを検出したDMAC2は、gnt信号がインアクティブとなったサイクルのデータ転送は無視し、req信号をディアサートして一旦バス権を放棄する。バスコントローラ3はgnt信号を再度アサートする。CPU1は、I/Oアクセスのためのアドレスをアドレスバス5に出力する。図2のクロック3では、CPU1は、図2に示すようにrel信号によって要求したデータバス5の1つの単位データバスの使用を開始する。DMAC2は、図2のクロック2のrel信号とgnt信号により、DMAC2が使用するデータバス5を選択し

、選択したデータバス 5 の対応する  $req$  信号を出力し、その選択したデータバス 5 に応じた DMA 転送を開始する。

#### 【0016】

このように、上述したようにバスコントローラ 3 により複数のバスマスタに対してデータバス 4 を分割制御するようにしているので、データバス 4 を有効に使用することができ、DMA データ転送の転送効率を改善することができる。

#### 【0017】

図 3 はこの発明の他の実施形態に係る情報処理システムの構成を示す図であり、図 4 は図 3 に示すシステムの動作タイミングならびにデータバスの使用権の状態を示す図である。

#### 【0018】

図 3 において、この実施形態の特徴とするところは、図 1 に示すシステムに比べてバスマスタとなる CPU が 1 つ増えたことにあり、図 3 に示す情報システムは、バスマスタとなる CPU 11、CPU 12 ならびにダイレクト・メモリ・アクセス・コントローラ (DMAC) 13 と、CPU 11、12 ならびに DMAC 13 におけるデータバス 15 の分割使用を制御するバスコントローラ 14 と、4 つの単位データバス (単位データバスは例えば 8、16、32 ビット等のデータ幅を有する) からなり、それぞれの単位データバスがそれぞれ独立してデータ転送制御可能なデータバス 15 と、データバス 15 ならびにアドレスバス 16 を介して CPU 11、12 ならびに DMAC 2 と接続されたメモリ 18、周辺装置 (I/O) 19、20 を備えて構成される。

#### 【0019】

CPU 11 は、DMA データ転送中に CPU 11 がバス権を要求するバスリクエスト信号 ( $req1$  信号 [ $n:0$ ]) をバスコントローラ 14 に与え、I/O アクセスの終了を示すアクノリッジ信号 ( $ack1$  信号) をバスコントローラ 14 に与える。CPU 12 は、DMA データ転送中に CPU 12 がバス権を要求するバスリクエスト信号 ( $req2$  信号 [ $n:0$ ]) をバスコントローラ 14 に与え、I/O アクセスの終了を示すアクノリッジ信号 ( $ack2$  信号) をバスコントローラ 14 に与える。DMAC 13 は、DMA データ転送のバスリクエスト信

号 (req 3 信号 [n:0]) をバスコントローラ 14 に与え、DMA データ転送で使用するデータバスを示すバスセレクト信号 (bse1 信号 [n:0]) をメモリ 18、I/O 19、20 に与える。バスコントローラ 3 は、CPU 11、12 ならびに DMAC 13 に対してデータバス 4 の使用权の許可を示すバスグラント信号 (gnt 信号 [n:0]) を gnt 信号線 17 を介して CPU 11、12 ならびに DMAC 13 に与え、バスマスタを示すバスマスタセレクト信号 (bmaster 信号 [m:0]) を CPU 11、12 ならびに DMAC 13 に与える。上記信号のやりとりを行うことにより、CPU 11、12 ならびに DMAC 13 に対するデータバス 15 の分割制御を行う。

#### 【0020】

次に、データバス 15 の分割制御の一例を、図 4 の動作タイミングチャートを参照して説明する。

#### 【0021】

先ず、図 4 のサイクル (クロック) 1 では、バスアサート信号をアサートし、CPU 11 がデータバス 15 を使用するために、バスリクエスト (req 1) 信号をアサートする。図 4 のクロック 2 では、バスコントローラ 14 が CPU 11 のバスリクエストを調停し、bmaster 信号と gnt 信号をアサートする。図 4 のクロック 3 では、CPU 11 は、gnt 信号に対応してバスアクセスのためのアドレスを出力する。バスコントローラ 14 は、一旦 gnt 信号をデアサートする。DMAC 13 から req 3 信号が出力される。図 4 のクロック 4 では、バスコントローラ 14 は、DMAC 13 のバスリクエストを調停し、bmaster 信号と gnt 信号をアサートする。CPU 11 のバスアクセス対象の周辺装置 19、もしくは 20 がアドレスデコードを行ない、I/O アクセスの処理を開始する。図 4 のクロック 5 では、DMAC 13 は gnt 信号に対応して DMA 転送のためのアドレスをアドレスバス 16 へ出力を開始し、DMA 転送を開始する。図 4 のクロック 7 では、周辺装置 19、もしくは 20 から CPU 11 のバスアクセスに対する ack 1 信号がアサートされ、CPU 11 のアクセスが終了する。次に、CPU 12 がデータバス 15 を使用するために、req 2 信号をアサートする。

## 【0022】

図4のサイクル8では、CPU11がreq1信号をデassertする。バスコントローラ14は、CPU12のreq2信号を受けて、バス調停のため一旦gnt信号をデassertする。図4のサイクル9では、バスコントローラ14は、CPU11のreq1信号のデassertを受けて、バス調停のため一旦gnt信号をデassertする。図4のサイクル10では、バスコントローラ14は、CPU12のバスリクエストを調停し、bmaster信号とgnt信号をassertする。図4のクロック11では、バスコントローラ14は、DMAC13のreq3信号とCPU12のバスリクエストとを調停するため一旦gnt信号をデassertする。図4のクロック12では、バスコントローラ14は、DMAC13に対するbmaster信号とgnt信号をassertする。図4のクロック13では、DMAC13は、gnt信号に対応してDMA転送のためのアドレスをアドレスバス16へ出力を開始し、DMA転送を開始する。図4のクロック14では、周辺装置19、もしくは20からCPU12のバスアクセスに対するack2信号がassertされ、CPU12のアクセスが終了する。

## 【0023】

図4のクロック15では、CPU12が、req2信号をデassertする。図4のクロック16では、バスコントローラ14は、CPU12のreq2信号のデassertを受けて、バス調停のため一旦gnt信号をデassertする。図4のクロック17では、バスコントローラ14は、DMAC13に対するbmaster信号とgnt信号をassertする。図4のクロック18では、DMAC13は、gnt信号に対応してDMA転送のためのアドレスをアドレスバス16へ出力を開始し、DMA転送を開始する。図4のクロック20では、DMA転送終了を受け、DMAC13がreq3信号をデassertする。図4のクロック21では、バスコントローラ14は、DMAC13のreq3信号のデassertを受けて、バス調停のため一旦gnt信号をデassertする。

## 【0024】

このように、上述したようにバスコントローラ14により複数のバスマスタに対してデータバス15を分割制御するようにしていたので、データバス15を有

効に使用することができ、DMAデータ転送の転送効率を改善することができ、かつCPU 11、12のストール期間の短縮を図ることができる。

#### 【0025】

なお、上記実施形態では、周辺装置としてI/Oの例を挙げたが、周辺装置としてはI/Oに限らずデータバスを介してバスマスタとの間でデータ転送を行う装置であれば何でもよい。上記実施形態では、メモリと周辺装置とを別々の構成として説明したが、メモリは周辺装置の一つとして考えられるべきものである。本発明の構成は、1チップの半導体集積回路にて実現することができる。メモリや周辺装置等一部の構成については1チップ内に収めずチップの外部構成として本発明を実現することができる。

#### 【0026】

##### 【発明の効果】

以上説明したように、この発明によれば、複数のバスマスタに対してデータバスを分割制御するようにしたので、データバスの使用効率を向上することが可能となる。この結果、DMA転送のデータ転送効率の改善、ならびにCPUストール期間の短縮を達成することができる。

##### 【図面の簡単な説明】

##### 【図1】

この発明の一実施形態に係る情報処理システムの構成を示す図である。

##### 【図2】

図1に示すシステムの動作タイミングならびにデータバスの使用権の状態を示す図である。

##### 【図3】

この発明の他の実施形態に係る情報処理システムの構成を示す図である。

##### 【図4】

図3に示すシステムの動作タイミングならびにデータバスの使用権の状態を示す図である。

##### 【図5】

従来の情報処理システムの一構成を示す図である。

【図 6】

図 5 に示すシステムの動作タイミングならびにデータバスの使用権の状態を示す図である。

【図 7】

従来の情報処理システムの他の構成を示す図である。

【図 8】

図 7 に示すシステムの動作タイミングならびにデータバスの使用権の状態を示す図である。

【符号の説明】

1, 1 1, 1 2 CPU

2, 1 3 DMAC

3, 1 4 バスコントローラ

4, 1 5 データバス

5, 1 6 アドレスバス

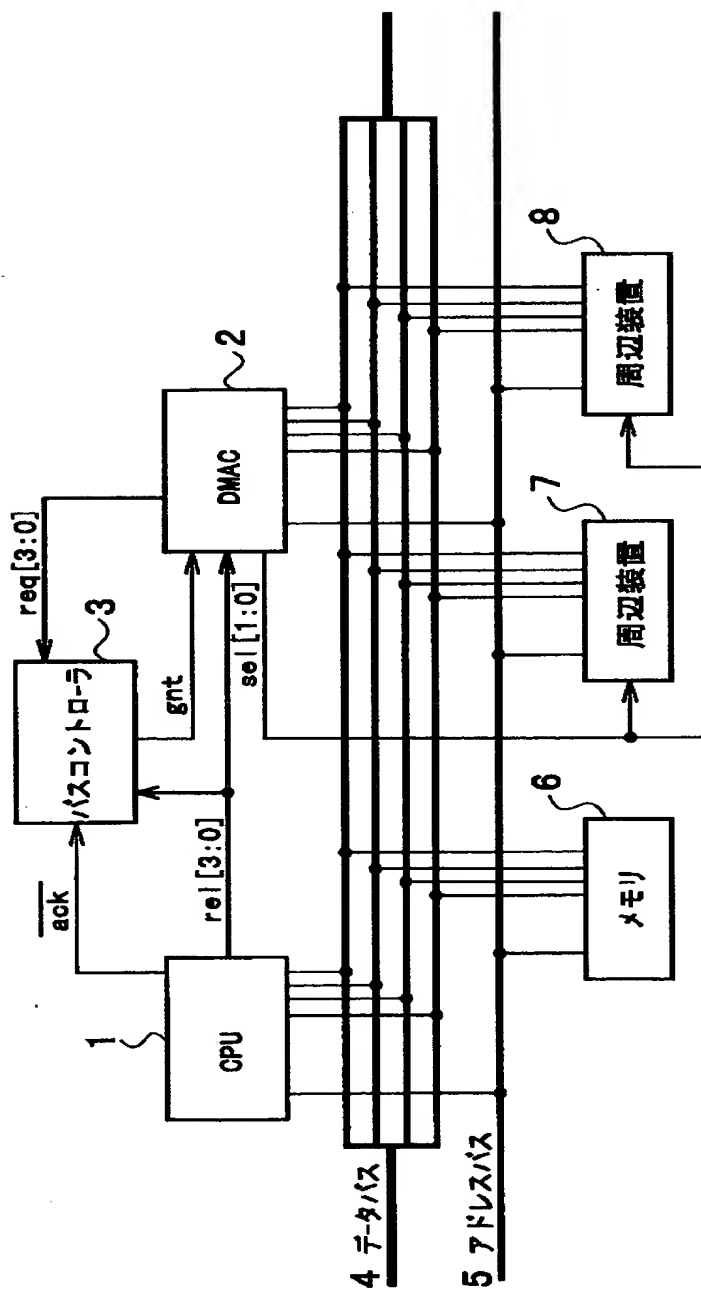
6, 1 8 メモリ

7, 8, 1 9, 2 0 周辺装置

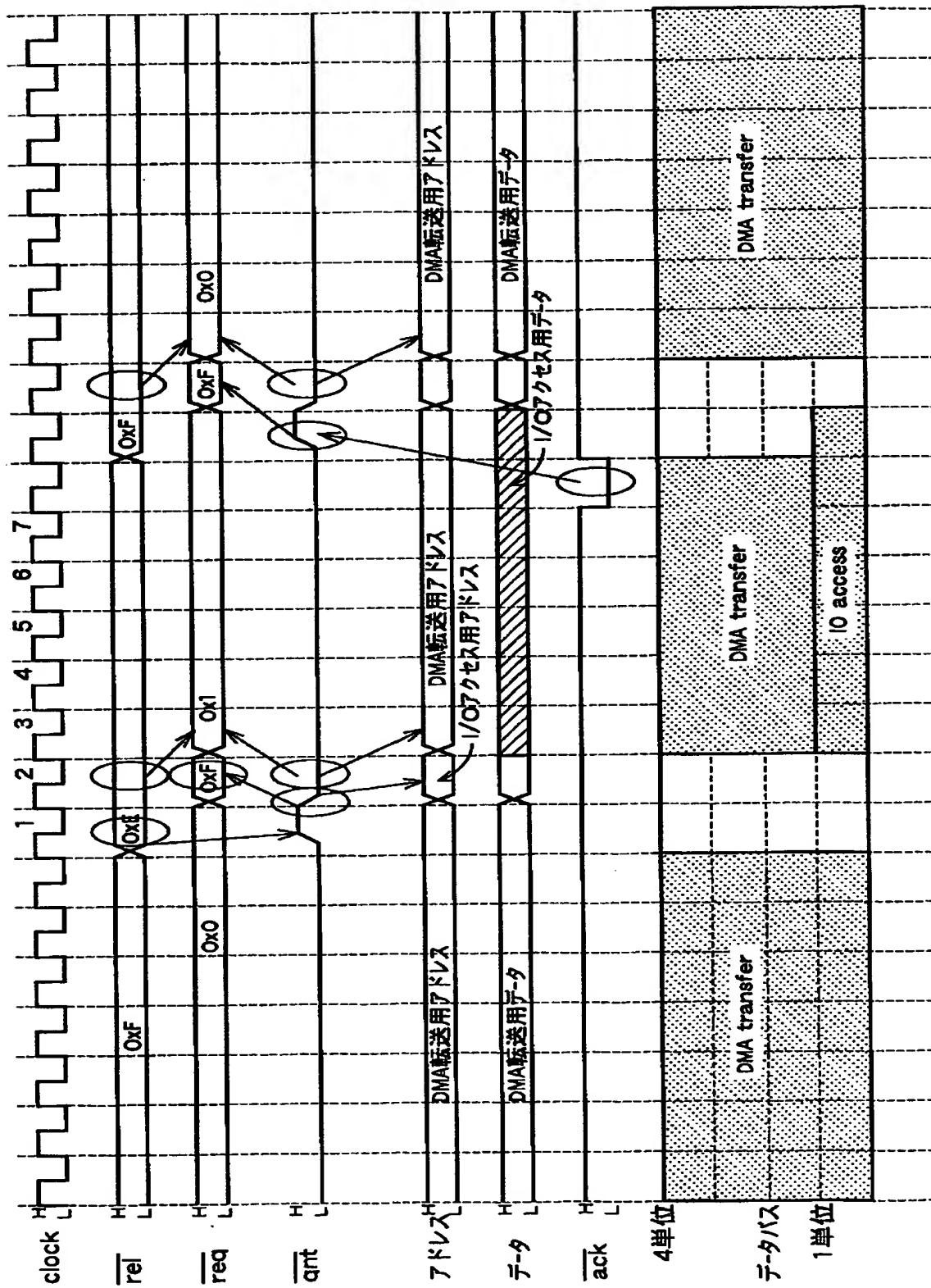
1 7 g n t 信号線

【書類名】 図面

【図 1】

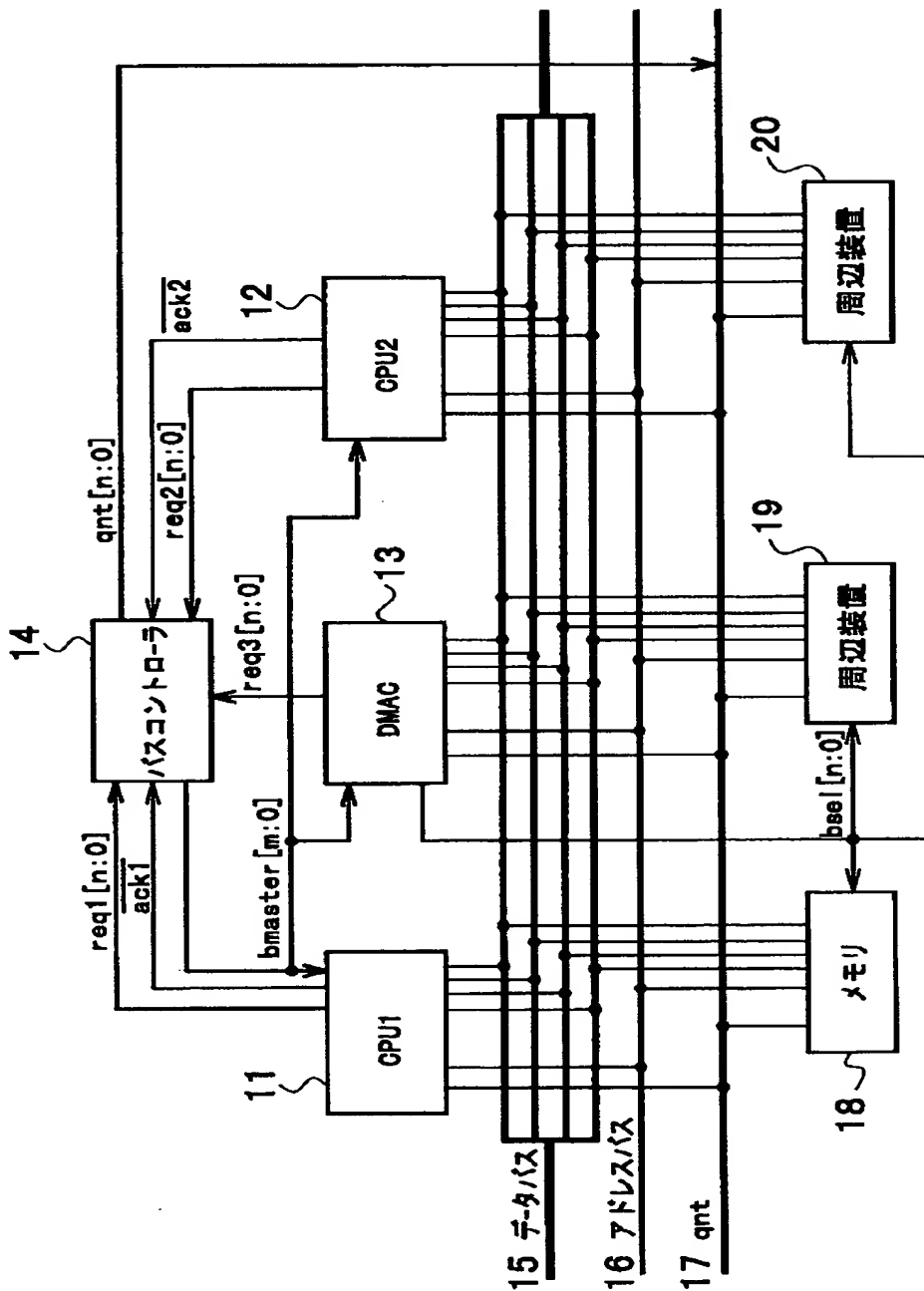


【図 2】

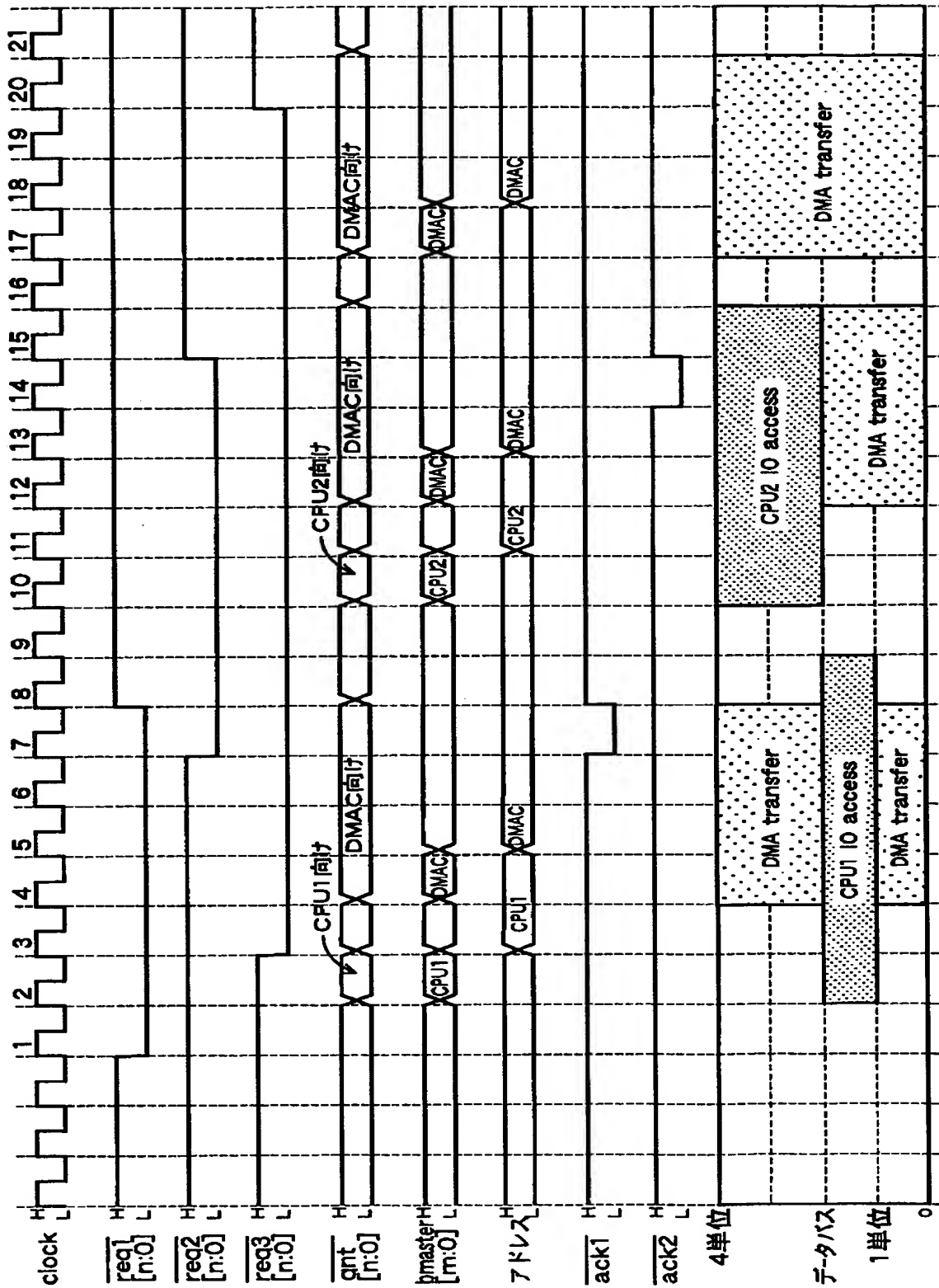




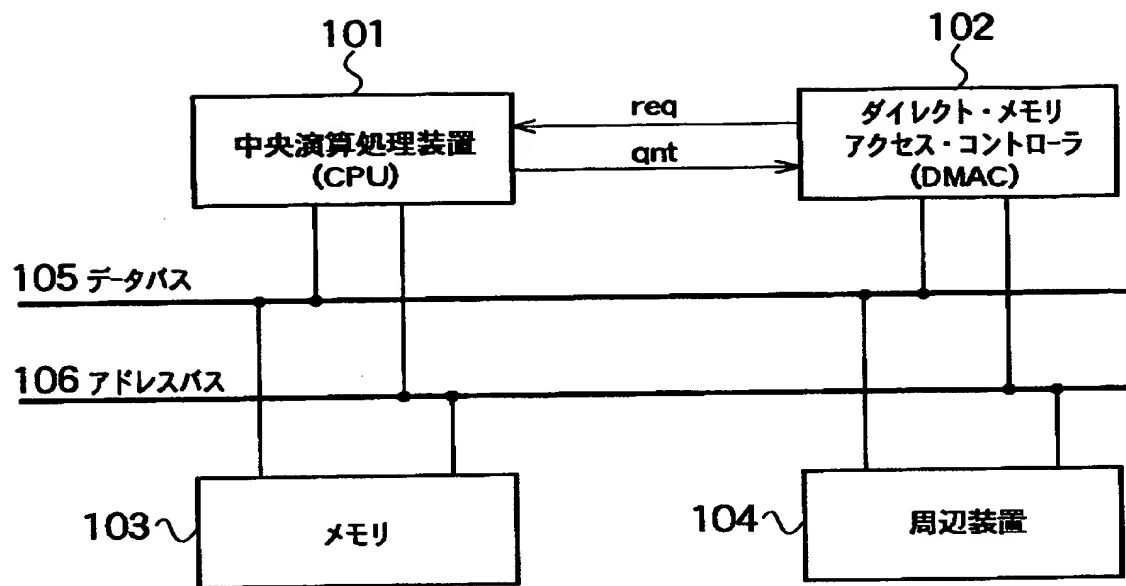
【図 3】



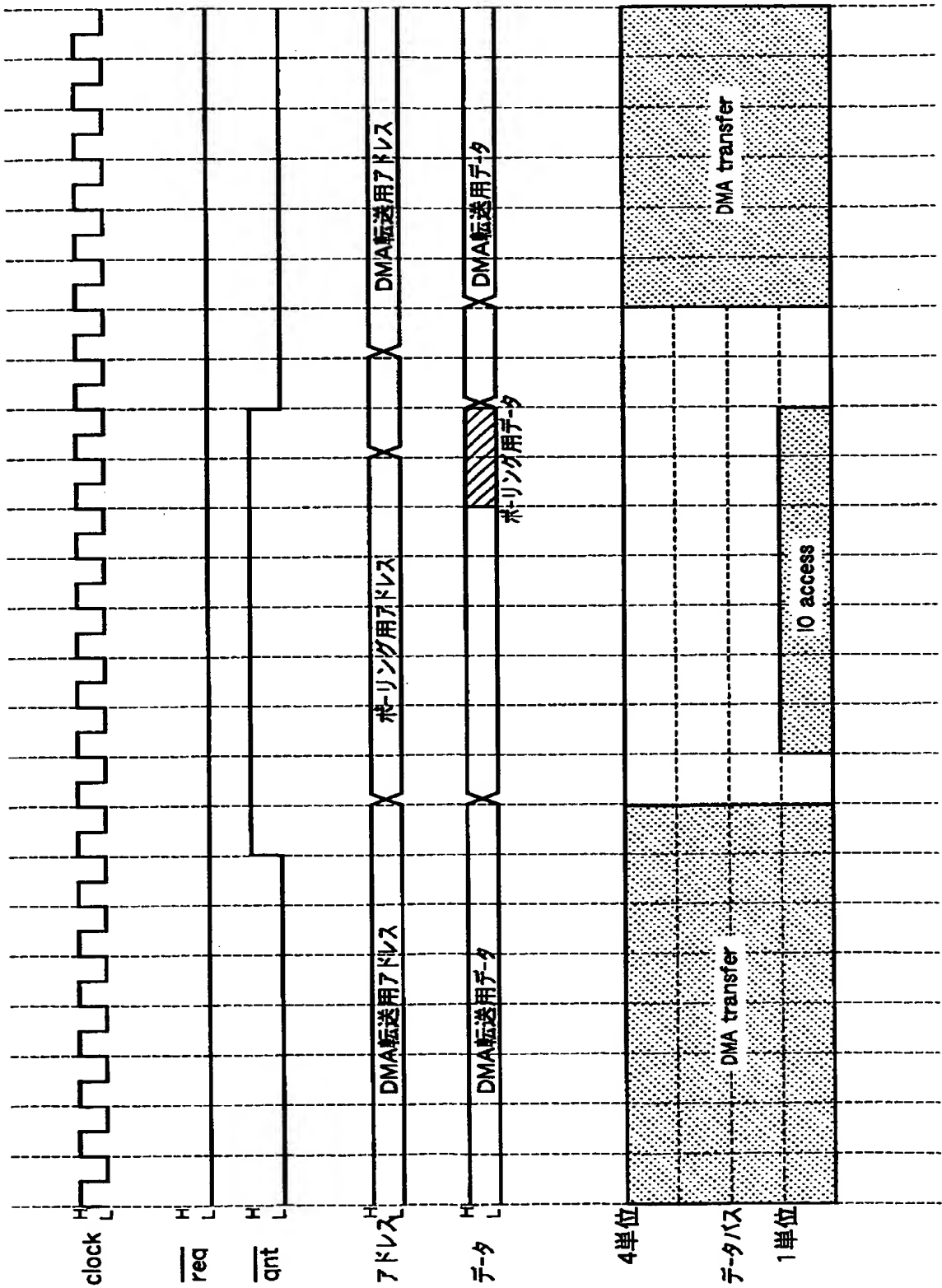
【図 4】



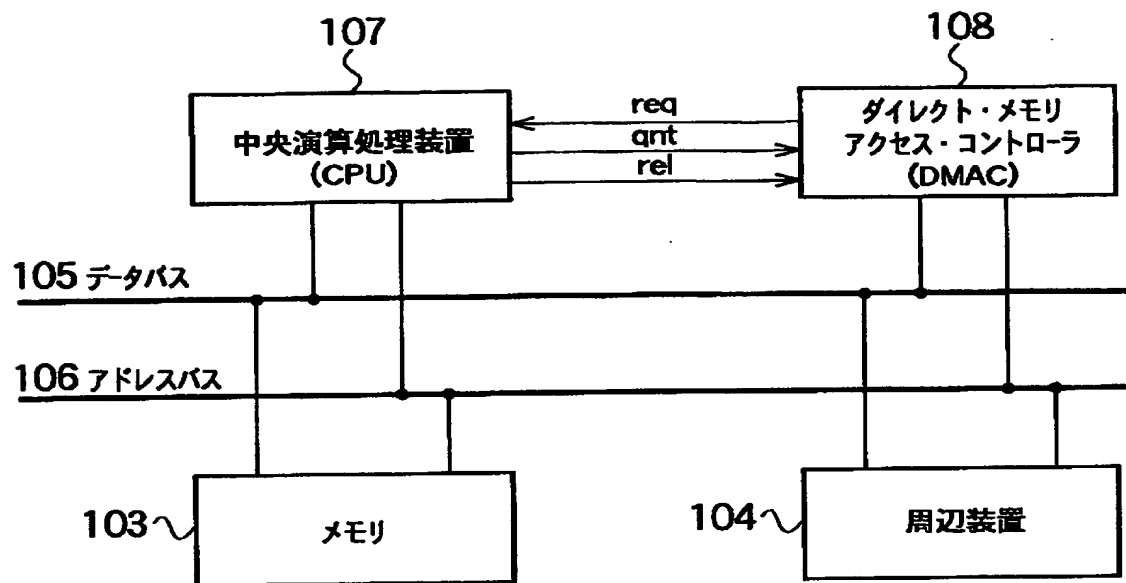
【図 5】



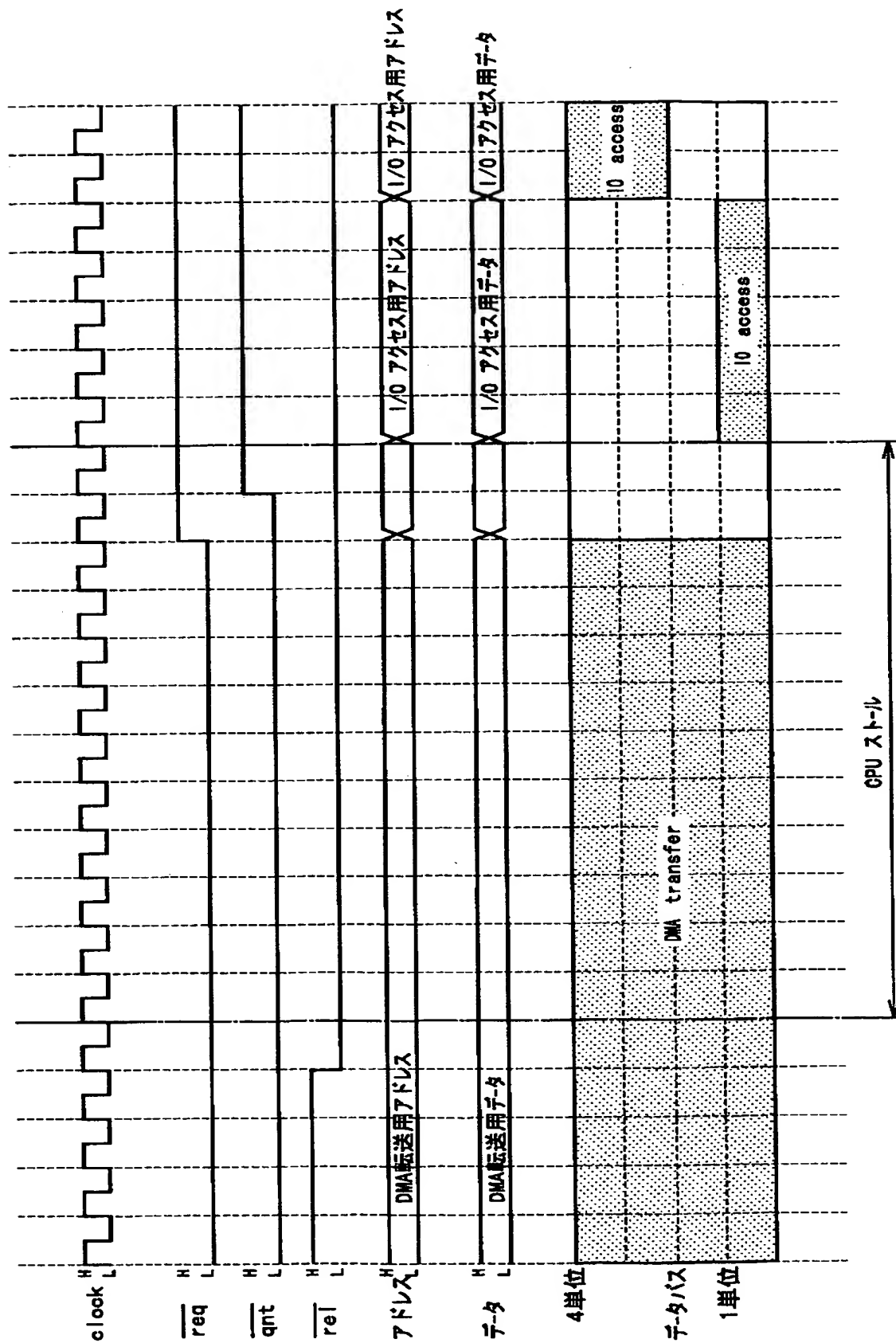
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 この発明は、データバスの使用効率を改善した情報処理システムを提供することを課題とする。

【解決手段】 この発明は、CPU 1、DMAC 2 の複数のバスマスタに対して、バスコントローラ 3 によりそれぞれの独立してデータ転送が可能な複数の単位データバスからなるデータバス 4 を分割制御するように構成される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町 7 2 番地
氏 名	株式会社東芝